

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 07135208 A

(43) Date of publication of application: 23.05.95

(51) Int. Cl. H01L 21/318  
H01L 21/31  
H01L 29/78

(21) Application number: 05281029

(71) Applicant: SONY CORP

(22) Date of filing: 10.11.93

(72) Inventor: KATAOKA TOYOTAKA

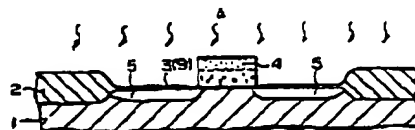
(54) INSULATING FILM FORMING METHOD

(57) Abstract

**PURPOSE:** To form an insulating film with which the stress generated by a rapid heat treatment (RTA), conducted after formation of an insulating film on a substrate, can be alleviated.

**CONSTITUTION:** A gate insulating film 3 is formed as an SiON insulating film on an Si substrate 1 by conducting a CVD method in an atmosphere containing Si, O and N. Besides, the compositional ratio of Si, O and N is controlled by the CVD method in such a manner that the gate insulating film 3 has the thermal expansion coefficient almost equal to that of the Si substrate 1. After formation of a film by the CVD method, a heat treatment is conducted in the atmosphere containing O and N, and the H and H<sub>2</sub>O contained in the gate electrode film 3 are removed. As a result, an RTA is conducted after formation of the gate insulating film 3, no interfacial level is generated, and the deterioration of hot electron resistance can be prevented.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-135208

(43) 公開日/ 平成7年(1995)5月23日

(51) Int. Cl. <sup>4</sup>	識別記号	庁内整理番号	P I	技術表示箇所
H 0 1 L 21/318		C 7352-4M		
21/31				
29/78				
		7514-4M		
			H 0 1 L 21/ 31	C
			29/ 78	3 0 1 G
			審査請求 未請求	請求項の数 6 O L (全 6 頁)

(21) 出願番号 特願平5-281029

(22) 出願日 平成5年(1993)11月10日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 片岡 豊 ▲たか▼

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 弁理士 小池 晃 (外2名)

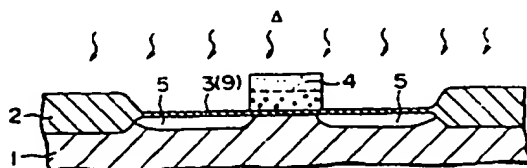
## (54) 【発明の名称】 絶縁膜の形成方法

## (57) 【要約】

【目的】 基板上に絶縁膜を成膜後、急速熱処理 (RTA) を行っても、発生する応力を緩和できる絶縁膜として形成する。

【構成】 Si, O, Nを含むガス雰囲気中でCVDを行うことによって、Si基板1上にゲート絶縁膜3をSiON系絶縁膜として成膜する。なお、上記CVDでは、上記ゲート絶縁膜3が、Si基板1と同程度の熱膨張係数を有するように、Si, O, Nの組成比が制御される。そして、上記CVDによる成膜後、O, Nを含むガス雰囲気中で熱処理をして、上記ゲート絶縁膜3中に含有されるHやH<sub>2</sub>Oを除去する。

【効果】 上述のようにしてゲート絶縁膜3を成膜した後、RTAを行っても、界面準位が発生することがなく、ホトエレクトロン耐性の劣化が防がれた。



## 【特許請求の範囲】

【請求項1】 少なくともSi、O、及びNを含むガス雰囲気中でCVDを行うことにより基板上にSiON系絶縁膜を成膜することを特徴とする絶縁膜の形成方法。

【請求項2】 前記SiON系絶縁膜を成膜後、この成膜時よりも高い温度にて該SiON系絶縁膜の熱処理を行うことを特徴とする請求項1記載の絶縁膜の形成方法。

【請求項3】 前記熱処理は、O及び/又はNを含むガス雰囲気中で行うことを特徴とする請求項2記載の絶縁膜の形成方法。

【請求項4】 前記SiON系絶縁膜はゲート絶縁膜であることを特徴とする請求項1ないし請求項3のいずれか1項に記載の絶縁膜の形成方法。

【請求項5】 前記SiON系絶縁膜は層間絶縁膜であることを特徴とする請求項1ないし請求項3のいずれか1項に記載の絶縁膜の形成方法。

【請求項6】 前記基板がSi基板であることを特徴とする請求項1ないし請求項5のいずれか1項に記載の絶縁膜の形成方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、例えば半導体装置に用いられる絶縁膜の形成方法に関し、特にSi基板上に成膜されるゲート絶縁膜あるいは層間絶縁膜について、後工程の急速熱処理(RTA: Rapid Thermal Anneal)時に発生する応力を緩和する方法に関する。

## 【0002】

【従来の技術】 従来より、半導体装置においては、SiO<sub>2</sub>が絶縁膜材料として一般に用いられており、例えば、MOS-FETにおいては、ゲート絶縁膜や層間絶縁膜がSiO<sub>2</sub>よりなる。

【0003】 このMOS-FETの製造工程を図1～図8を用いて簡単に説明する。まず、素子分離領域2が形成されたSi基板1(図1参照)を酸素雰囲気中にて熱処理し、このSi基板1を酸化させることによって、SiO<sub>2</sub>よりなるゲート絶縁膜9を形成する(図2参照)。その後、ポリサイドよりなるゲート電極4を形成し(図3参照)、例えばSi基板1がP型であれば、N型の不純物をイオン注入して、ソース/ドレイン領域5を形成する(図4参照)。そして、さらに熱処理を行うことによって、イオン注入された不純物を活性化する。

【0004】 次に、例えばCVDによってSiO<sub>2</sub>を全面に亘って成膜することによって層間絶縁膜10を形成する(図5参照)。その後、コンタクト・ホール7を開け(図6参照)、コンタクト形成用イオン注入を行い、ここで注入された不純物を熱処理によって活性化させる。そして、Al系配線層8を形成し(図7参照)、所望の配線形状にパターニングすることにより、(図8)に示

すようなMOS-FETが得られる。

【0005】 上述のMOS-FETにおけるソース/ドレイン領域5においては、半導体装置の高集積化にともなう微細化のため、浅い接合が必要とされるようになってきている。例えば、0.35μmのデザイン・ルールの下では、接合深さは0.1μm程度に浅くなる。したがって、不純物の活性化のために行われる熱処理には、従来用いられてきた電気炉アニールに代わって、インコヒーレント光を用いたRTAが用いられるようになってきている。

【0006】 上記RTAは、光をウェハに照射してウェハを直接加熱し、高温短時間に熱処理を行うことができるため、不純物拡散層を浅く保つことができる熱処理方法である。例えば、N型の不純物拡散層の形成には、ドーズ量 $5 \times 10^{13}$ 個/cm<sup>2</sup>、イオン加速エネルギー60keVにてAs<sup>+</sup>を注入した後、1000℃以上でRTAを行うことによって、シート抵抗50～70Ω/□、深さ0.15μm程度の接合を得ることが可能である。

## 【0007】

【発明が解決しようとする課題】 しかしながら、上記RTAは高温短時間に熱処理を行うことができ、半導体装置の高集積化を図るためには有効である反面、急速な昇降温がなされるがゆえの問題も有している。熱膨張係数の大きく異なる材料同士が接している界面では、急速な応力変化が起こるからである。

【0008】 例えば、上述したMOS-FETにおいて、SiO<sub>2</sub>よりなるゲート絶縁膜9と、Si基板1とは、熱膨張係数が大きく異なる。したがって、例えば不純物の活性化のために、ゲート絶縁膜9を介してRTAを行ったとき、急速な昇降温によって、Si基板1とゲート絶縁膜9との界面に急激な応力変化が起こる。そして、これにより、Si基板1とゲート絶縁膜9との界面に、界面準位が発生してしまい、ホットエレクトロン耐性の低下を招くこととなる。

【0009】 そこで、Si基板1を酸素雰囲気中で熱処理してSiO<sub>2</sub>とした後、N<sub>2</sub>O雰囲気中で熱処理して窒化を行うか、或いは、Si基板1の表面に対してそのままN<sub>2</sub>Oによる熱酸窒化を行うことによって、ゲート絶縁膜9をSiの酸窒化物とし、ゲート絶縁膜9とSi基板1との熱膨張係数の違いを緩和することが行われている。これは、SiO<sub>2</sub>とSi<sub>3</sub>N<sub>4</sub>の中間的な組成を有するSiO<sub>x</sub>N<sub>y</sub>は、そのx、yを最適化することによって、Siに近い熱膨張係数を持ち得るものと考えられるからである。

【0010】 しかし、このような方法では、NとOの比を任意に変えることが困難である。また、SiO<sub>2</sub>を窒化する方法では、酸窒化膜の膜厚方向にN濃度の分布が生ずるため、ウェハ間で特性がばらつきやすい。さらに、直接Si基板1を酸窒化する方法では、Si基板1

の表層部のSi原子に対してO原子やN原子が共有結合を生成しながら成膜が進むため、Si基板1との界面が荒れてしまうといった問題も残されている。

【0011】同様の応力の問題は層間絶縁膜10についても起こる。即ち、層間絶縁膜10も通常、SiO<sub>2</sub>よりなるので、例えば、不純物拡散領域に対してコンタクト形成用イオン注入を行った後、この不純物の活性化のためにRTAを行うに際して、Si基板1との熱膨張係数の違いが問題となる。この層間絶縁膜10は、通常、ゲート絶縁膜9に比して数十倍の厚みを有しているため、Si基板1との熱膨張係数の違いが、ウェハ自体に反りを生じさせることにもなり、種々のデバイス特性を劣化させるからである。

【0012】そこで本発明はかかる従来の実情に鑑みて提案されたものであり、ゲート絶縁膜あるいは層間絶縁膜といった絶縁膜について、後工程の急速熱処理(RTA)時、基板との間に発生する応力が緩和される絶縁膜の形成方法を提供することを目的とする。

【0013】

【課題を解決するための手段】Si、SiO<sub>2</sub>、Si<sub>3</sub>N<sub>4</sub>の熱膨張係数はそれぞれ下記のような値であるため、SiO<sub>2</sub>とSi<sub>3</sub>N<sub>4</sub>の中間的な組成を有するSiO<sub>x</sub>N<sub>y</sub>において、x、yを最適化することによって、Siに近い熱膨張係数を有するSiON系絶縁膜となり得る。

【0014】SiO<sub>2</sub> : 0.52×10<sup>-6</sup>/K  
Si : 3.33×10<sup>-6</sup>/K  
Si<sub>3</sub>N<sub>4</sub> : 5.38×10<sup>-6</sup>/K

【0015】本発明者等は、上述の考えと従来の実情を鑑みて鋭意検討を行った結果、CVDにてSi、O、Nの比率を制御しながら成膜を行えば、Siに近い熱膨張係数を有するSiON系絶縁膜が成膜できることを見出し、本発明を完成するに至った。

【0016】即ち、本発明に係る絶縁膜の形成方法は、少なくともSi、O、及びNを含むガス雰囲気中でCVDを行うことにより基板上にSiON系絶縁膜を成膜するものである。

【0017】そして、前記SiON系絶縁膜を成膜後、この成膜時よりも高い温度にて該SiON系絶縁膜の熱処理を行うことが好ましく、この熱処理は、O及び/又はNを含むガス雰囲気中で行うことが好ましい。

【0018】なお、本発明によって形成されるSiON系絶縁膜は、ゲート絶縁膜であっても、層間絶縁膜であってもよいが、Si基板との熱膨張係数の差が小さくなるように、その絶縁膜を構成するSi、O、Nの比率が制御されたものであることが好ましい。

【0019】

【作用】本発明のように、CVDを用いてSiON系絶縁膜を成膜すれば、成膜時に原料ガス(Si、O、Nをそれぞれ含むガス)の流量比を調整することによって、

SiON系絶縁膜の組成を制御することができる。したがって、所望の熱膨張係数を有するような組成のSiON系絶縁膜を成膜することができる。

【0020】また、CVDによるSiON系絶縁膜の成膜は、Si基板の表層部のSi原子をO原子やN原子と共有結合させてSiON系絶縁膜とする方法とは異なり、Si基板上に原料ガスからSi、O、Nを供給してSiON系絶縁膜を堆積させるため、Si基板との界面を荒らすことがない。

10 【0021】上述したように、CVDによりSiON系絶縁膜を成膜し、熱膨張係数を調整すれば、特定の材料層の熱膨張係数に近づけることができる。したがって、例えば、Si基板上に、Si基板に近い熱膨張係数を有するSiON系絶縁膜をゲート絶縁膜として形成した場合、RTAで急速昇降温しても、温度変化による体積変化が両材料間で同程度であるため、Si基板とゲート絶縁膜との間に応力は発生しない。このため、この応力に起因するホットエレクトロン耐性の劣化が防止できる。また、同様に、Si基板に近い熱膨張係数を有するSiON系絶縁膜を層間絶縁膜として形成した場合にも、Si基板との熱膨張係数の差が殆どないため、ウェハに反りを生じさせることがなく、デバイス特性の劣化を防止できる。

【0022】なお、上記SiON系絶縁膜をCVDによって成膜した後、成膜時よりも高い温度にて熱処理を行うのは、CVDによって成膜されたSiON系絶縁膜には、原料ガスに含有されるHがHやH<sub>2</sub>Oとして取り込まれているため、これを除去して、絶縁膜としての信頼性に優れたものとするためである。

30 【0023】また、このとき上記熱処理を、少なくともO及び/又はNを含むガス雰囲気にて行うと、膜中を拡散していったO及び/又はNが、HやH<sub>2</sub>Oが抜けたことによって発生した膜中の欠陥及び歪を終端し、応力の緩和を図ることができる。例えば、上記SiON系絶縁膜がゲート絶縁膜である場合、Si基板との界面の欠陥及び歪をも終端し、これにより、Si基板からスムーズな連続性を持ち、欠陥の少ないゲート絶縁膜とすることができる。

【0024】

40 【実施例】以下、本発明に係る絶縁膜の形成方法を適用した具体的な実施例について説明する。

【0025】実施例1

本実施例では、SiON系絶縁膜を、Nチャネル型MOS-FETにおけるゲート絶縁膜として形成した。

【0026】具体的には、図1に示されるような素子分離領域2が形成されたP型のSi基板1に対して、下記の条件(A)のCVDを行って、図2に示すように、ゲート絶縁膜3を形成した。

【0027】CVD条件(A)

50 方式 : LP CVD (熱CVD)

5  
 導入ガス :  $\text{SiH}_4$   $\text{Cl}_2$  5 sccm  
 $\text{NH}_3$  100 sccm  
 $\text{N}_2\text{O}$  100 sccm  
 ガス圧 : 20 Pa  
 温度 : 760℃

【0028】上述のCVDによって、ゲート絶縁膜3は、 $\text{Si}$ 基板1に近い熱膨張係数を有するものとして成膜された。

【0029】次いで、上述のようにして成膜されたゲート絶縁膜3から、 $\text{H}$ や $\text{H}_2\text{O}$ を除去するために、 $\text{N}_2\text{O}$ 雰囲気中、ゲート絶縁膜3の成膜時より高温にてRTN (Rapid Thermal Nitridation) を行った。以下にこのRTNの条件を示す。

【0030】RTN条件

導入ガス :  $\text{N}_2\text{O}$  25 s l m  
 温度 : 1100℃  
 時間 : 60秒

【0031】このようにゲート絶縁膜3の成膜時より高温にてRTNを行ったことによって、ゲート絶縁膜3内に含有された $\text{H}$ や $\text{H}_2\text{O}$ が除去された。また、このRTNは $\text{N}_2\text{O}$ 雰囲気中にて行われたため、 $\text{N}$ や $\text{O}$ が膜中に入り込み、 $\text{H}$ や $\text{H}_2\text{O}$ が抜けたことによる欠陥、 $\text{Si}$ 基板1との界面の欠陥及び歪を終端し、 $\text{Si}$ 基板1からスムーズな連続性を持ち、欠陥の少ないゲート絶縁膜とすることができた。

【0032】そして、図3に示すように、下層がポリシリコン、上層が高融点金属シリサイドであるポリサイドゲート電極4を形成した後、 $\text{N}$ 型不純物として $\text{A}'$ のイオン注入を行って、図4に示すように、ソース/ドレイン領域5を形成した。さらに、上記不純物の活性化を行うために、1000℃以上にてRTAによる高温短時間熱処理を行った。

【0033】その後、 $\text{SiO}_2$ よりなる層間絶縁膜10の成膜、コンタクト・ホール7の開口、コンタクト形成用のイオン注入、不純物活性化のためのRTA、アルミニウム配線の成膜及びパターニングといったMOS-FETプロセスを常法に従って行い、トランジスタを製造した。

【0034】以上のようにして製造されたトランジスタは、いずれも、しきい値電圧 $V_{th}$ が安定しており、チャネルコンダクタンス $g_m$ 、相互コンダクタンス $g_m$ も低下せず、良好な特性を有していた。

【0035】これは、CVDにより、 $\text{Si}$ 基板1に近い熱膨張係数を有するゲート絶縁膜3が形成されたために、RTAによる急速な昇降温が行われても、ゲート絶縁膜3と $\text{Si}$ 基板1との界面に応力が発生することがなく、したがって、界面準位が発生しなかったためであると考えられる。また、ゲート絶縁膜3の形成時に $\text{Si}$ 基板1との界面が荒れることがなかったこと、ゲート絶縁膜3が信頼性の高い絶縁膜となっていたこと等も、上述

6  
 のようなデバイス特性の安定化に寄与していたと考えられる。

【0036】なお、ゲート絶縁膜3成膜時のCVD条件は、上述のCVD条件(A)の代わりに下記の(B)～(D)に示すものであってもよい。

【0037】CVD条件(B)

方式 : LP CVD (熱CVD)  
 導入ガス :  $\text{SiH}_4$   $\text{Cl}_2$  5 sccm  
 $\text{NH}_3$  100 sccm  
 $\text{N}_2\text{O}$  100 sccm  
 ガス圧 : 66.5 Pa  
 温度 : 850℃

【0038】CVD条件(C)

方式 : LP CVD (熱CVD)  
 導入ガス :  $\text{SiH}_4$  5 sccm  
 $\text{NH}_3$  100 sccm  
 $\text{O}_2$  100 sccm  
 ガス圧 : 66.5 Pa  
 温度 : 850℃

【0039】CVD条件(D)

方式 : LP CVD (熱CVD)  
 導入ガス :  $\text{Si}(\text{OC}_2\text{H}_5)_4$  5 sccm  
 $\text{NH}_3$  100 sccm  
 ガス圧 : 66.5 Pa  
 温度 : 700℃

【0040】また、CVDによるゲート絶縁膜成膜後、RTNに代わりに、下記の酸窒化を拡散炉にて行うことによって、熱処理してもよい。

【0041】酸窒化条件

30 導入ガス :  $\text{N}_2\text{O}$  15 s l m  
 温度 : 950℃  
 時間 : 10分

【0042】実施例2

本実施例においては、 $\text{SiON}$ 系絶縁膜を、 $\text{N}$ チャネル型MOS-FETにおける層間絶縁膜として形成した。

【0043】具体的には、 $\text{P}$ 型の $\text{Si}$ 基板1に素子分離領域2、 $\text{SiO}_2$ からなるゲート絶縁膜9、ポリサイドゲート電極4、ソース/ドレイン領域5を形成し、このソース/ドレイン領域5へ注入された不純物の活性化までが従来法にて行われたウェハに対し、前述のCVD条件(A)にて、層間絶縁膜6の成膜を行った。

【0044】これにより、図5に示すように、 $\text{SiON}$ 系の層間絶縁膜6が形成された。この後、コンタクト・ホール7を開口し、コンタクト形成用イオン注入を行った後、この不純物を活性化させるためにRTAにて熱処理を行った。そして、図7に示すように、 $\text{Al}$ 系配線層8をスパッタによって堆積させた後、図8に示すように、ドライエッチングにて所望の配線パターンに形成し、 $\text{N}$ チャネル型MOS-FETを完成した。

【0045】上述のようにして製造されたトランジスタ

は、いずれもウェハに反りが生じていなかった。また、デバイス特性を調べたところ、しきい値電圧 $V_{th}$ が安定しており、チャネルコンダクタンス $g_m$ 、相互コンダクタンス $g_{ms}$ も低下せず、良好な特性を有していた。

【0046】これは、Si基板1に近い熱膨張係数を有する層間絶縁膜6が形成されたために、RTAによる急速な昇降温が行われても、ウェハの反りが防止され、また、これによって、ゲート絶縁膜9とSi基板1との界面に外力を与えなかったためであると考えられる。

【0047】なお、層間絶縁膜6成膜時のCVD条件を上述の(A)に代わって下記の(E)又は(F)に示すものとしてもよい。

【0048】CVD条件(E)

方式 : プラズマCVD  
 導入ガス :  $SiH_4$  50 sccm  
 $N_2O$  300 sccm  
 $N_2$  300 sccm  
 ガス圧 : 332.5 Pa  
 温度 : 360℃  
 RF電力 : 190W

【0049】CVD条件(F)

方式 : プラズマCVD  
 導入ガス :  $SiH_4$  50 sccm  
 $O_2$  100 sccm  
 $N_2$  3000 sccm  
 ガス圧 : 332.5 Pa  
 温度 : 360℃  
 RF電力 : 190W

【0050】なお、上記CVD条件(E)、(F)のような、500℃以下といった比較的低温においてプラズマCVDにて形成された膜は、その後の熱処理によって熱膨張係数が変化するという特性を有しているため、成膜後、次工程に先立って熱処理を施しておくことが必要である。このため、この条件にて層間絶縁膜6を成膜した場合には、1秒間に数℃という緩やかな昇降温レートによって700~800℃程度の熱処理を施し、この熱処理後の熱膨張係数がSi基板の熱膨張係数と同程度となるようにした。

【0051】本発明に係る絶縁膜の形成方法は、上述の実施例に限定されるものではなく、例えば、実施例2において、CVD条件(A)にて層間絶縁膜6を形成した後にも次工程に先立って熱処理を施してもよい。また、CVDによって成膜されるSiON系絶縁膜を、実施例1ではゲート絶縁膜3として、実施例2では層間絶縁膜6として形成したが、ゲート絶縁膜3及び層間絶縁膜6

の両方をSiON系絶縁膜としてもよい。

【0052】

【発明の効果】以上の説明から明かなように、本発明に係る絶縁膜の形成方法を適用して、ゲート絶縁膜或いは層間絶縁膜を形成すれば、Si基板と同程度の熱膨張係数を有するものとしてすることができる。このため、本発明を適用してゲート絶縁膜を形成した場合、その後のRTAによる熱処理によっても、Si基板との界面に界面準位が発生することがなく、ホットエレクトロン耐性の劣化が防止される。また、本発明を適用して層間絶縁膜を形成した場合、ウェハの反りが防止される。

【0053】したがって、本発明を適用して成膜された絶縁膜を用いた半導体装置は、デバイス特性の劣化が防止され、信頼性及び歩留まりの高いものとなる。

【図面の簡単な説明】

【図1】MOS-FETの製造工程を示すものであり、Si基板に素子分離領域が形成された状態を示す模式的断面図である。

【図2】図1のSi基板にゲート絶縁膜が形成された状態を示す模式的断面図である。

【図3】図2のゲート絶縁膜上にゲート電極が形成された状態を示す模式的断面図である。

【図4】図3のSi基板に不純物の注入がなされ、ソース/ドレイン領域が形成された状態を示す模式的断面図である。

【図5】図4のウェハに層間絶縁膜が形成された状態を示す模式的断面図である。

【図6】図5の層間絶縁膜にコンタクト・ホールが形成された状態を示す模式的断面図である。

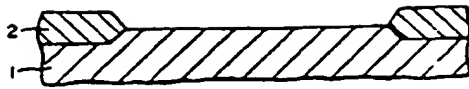
【図7】図6の層間絶縁膜上にAl系配線層が形成された状態を示す模式的断面図である。

【図8】図7のAl系配線層が所望の配線パターンに形成された状態を示す模式的断面図である。

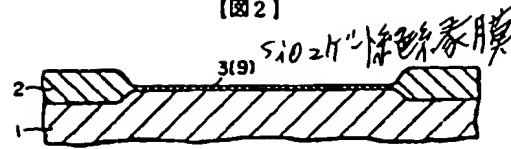
【符号の説明】

- 1・・・Si基板
- 2・・・素子分離領域
- 3・・・ゲート絶縁膜(SiON)
- 4・・・ポリサイドゲート電極
- 5・・・ソース/ドレイン領域
- 6・・・層間絶縁膜(SiON)
- 7・・・コンタクト・ホール
- 8・・・Al系配線層
- 9・・・ゲート絶縁膜(SiO<sub>2</sub>)
- 10・・・層間絶縁膜(SiO<sub>2</sub>)

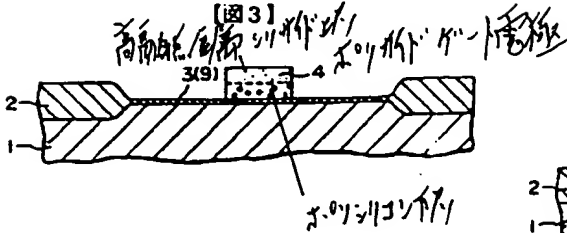
【図1】



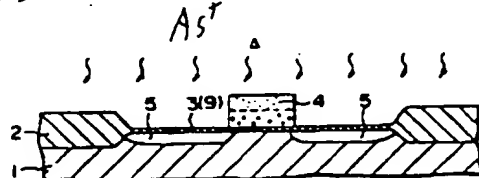
【図2】



【図3】



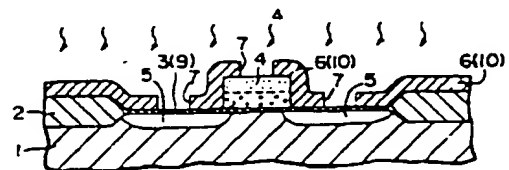
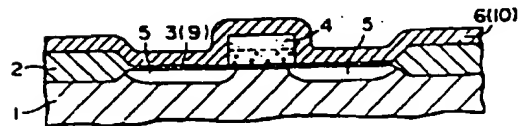
【図4】



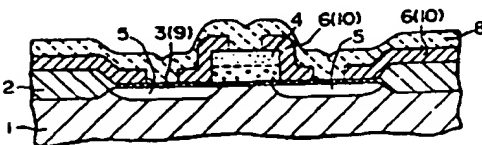
【図5】

SiO2膜

【図6】



【図7】



【図8】

